



特性

- ◆ 动态输出功率
21.6W (4Ω, 7.4V, THD+N=10%)
17.8W (4Ω, 7.4V, THD+N=1%)
- ◆ 工作电压: 5.5V ~ 9.5V
- ◆ 内置 4 档自适应升压单元, 支持直通模式
- ◆ ALC 防破音控制
- ◆ Class D 模式和 FM 模式可选
- ◆ 优异的上、下电 pop-click 噪声抑制
- ◆ 抖频设计超低 EMI
- ◆ 全差分电路结构, 抗干扰能力强
- ◆ 内置过热保护, 过流保护
- ◆ 无铅无卤封装, ESOP8

应用

- ◆ 便携式蓝牙音箱
- ◆ AI 音箱
- ◆ 拉杆箱

概述

PF8321是一款高集成度、内置自适应升压的高信噪比, 低失真, 具有防破音功能的H类音频功率放大器。在锂电池7.4V供电时, 驱动单通道4Ω负载可以输出21.6W输出功率。自适应升压单元自动识别输入音频信号电平, 实时调整升压输出值, 小信号时支持输入输出直通模式, 最大限度延长续航时间。

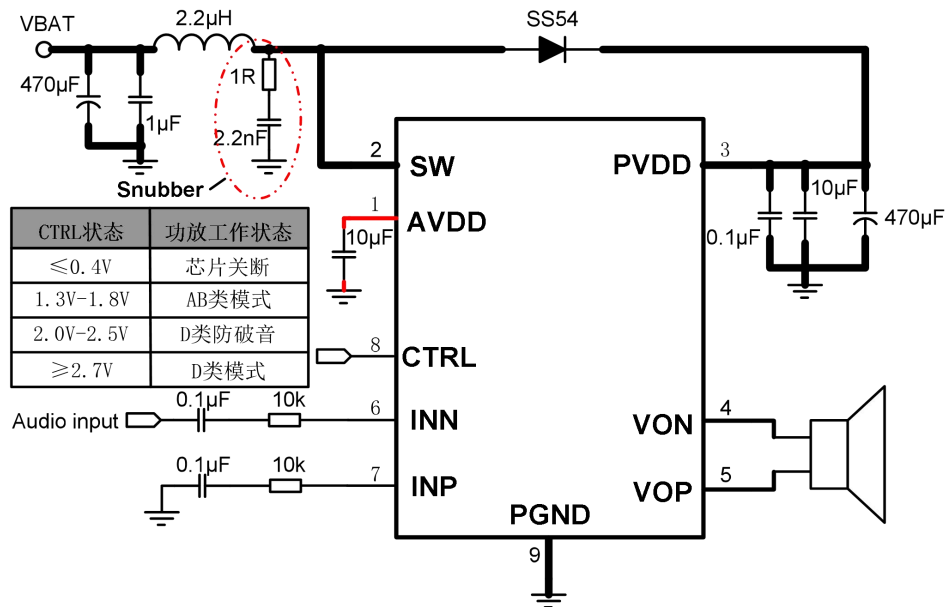
ALC功能能够自动检测输出失真, 动态调整放大器增益, 可以避免音频信号幅度过大, 或者电池电压衰减而引起的输出削顶失真, 显著提高听感。超低失真度设计, 更合适钢琴音播放时的清晰度。FM模式满足收音机应用场景。

此外, PF8321内置过流保护、过热保护功能, 确保芯片在各种应用环境中的可靠性, 稳定性。

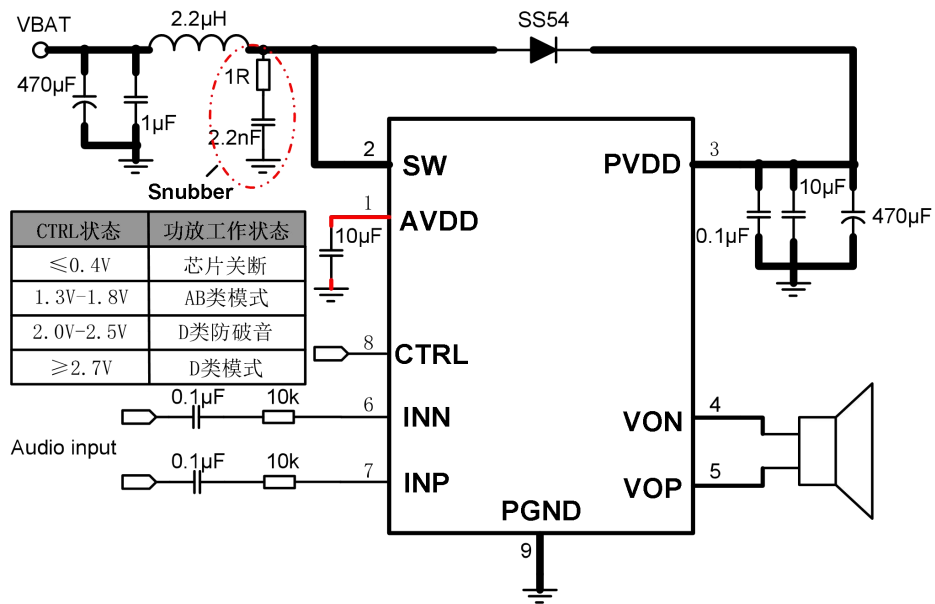


典型应用原理图

单端输入模式电路图



差分输入模式电路图



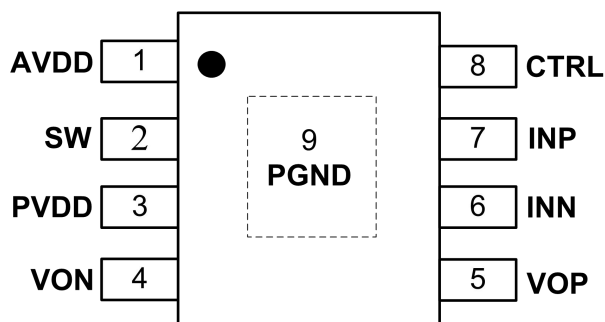
注意事项

1. 上图黑色加粗线要求尽量粗且短;
2. Snubber 电路必须加上且该电路的电容接地端尽量不要与 AVDD 的电容接地端靠太近;
3. 图中红色加粗线建议走线 0.6mm 及以上, 连线尽量短。

[Layout 注意事项](#) 详见 Page 8。



引脚定义



ESOP8 (Top View)

引脚功能描述

序号	符号	I/O/P/A	描述
1	AVDD	O	内部电路供电脚位, 外接 10 μ F 电容到地
2	SW	P	SWITCH 端
3	PVDD	P	升压输出以及音频供电管脚
4	VON	O	音频负相输出端
5	VOP	O	音频正相输出端
6	INN	I	音频负相输入端
7	INP	I	音频正相输入端
8	CTRL	I	芯片工作模式及关断控制
9	PGND	P	功率地

极限参数

参数	范围		单位	说明
	最小值	最大值		
VBAT 电源电压	-0.3	10	V	
CTRL 控制管脚电压		6	V	
T _A 环境工作温度	-40	85	°C	
T _{stg} 储存温度	-40	125	°C	
耐 ESD 电压 (人体模型)	2000		V	HBM
焊接温度		260	°C	15 秒内

注: 在极限值之外或任何其他条件下, 芯片的工作性能不予保证。



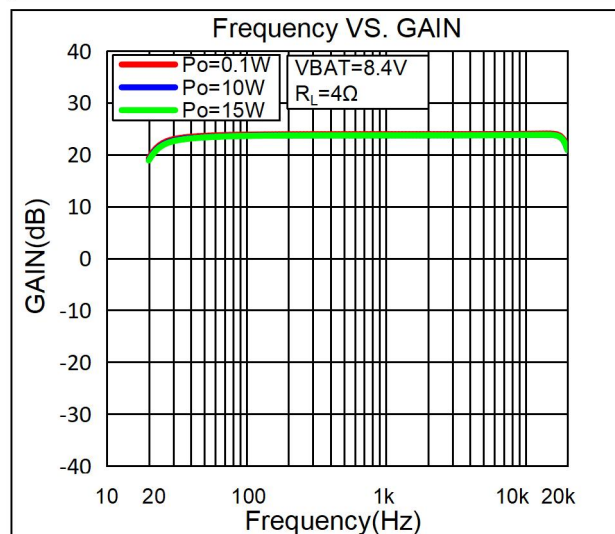
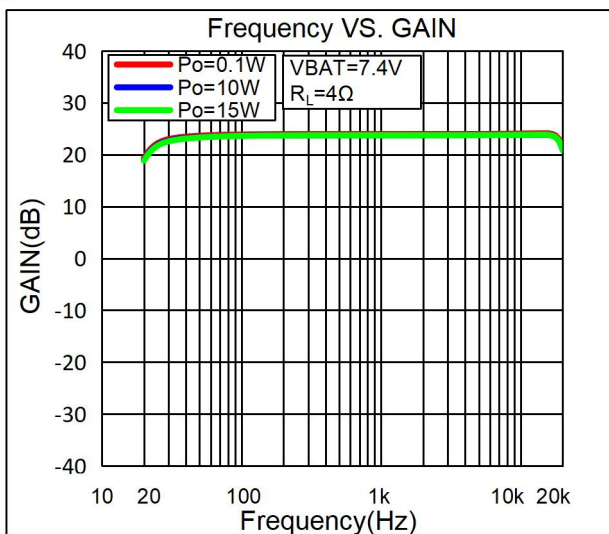
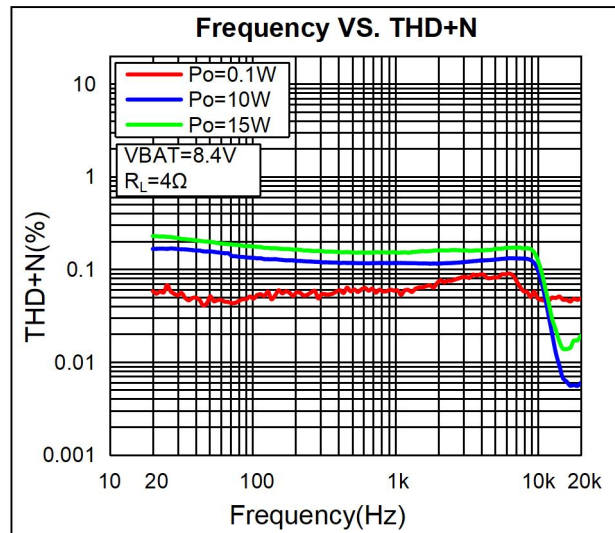
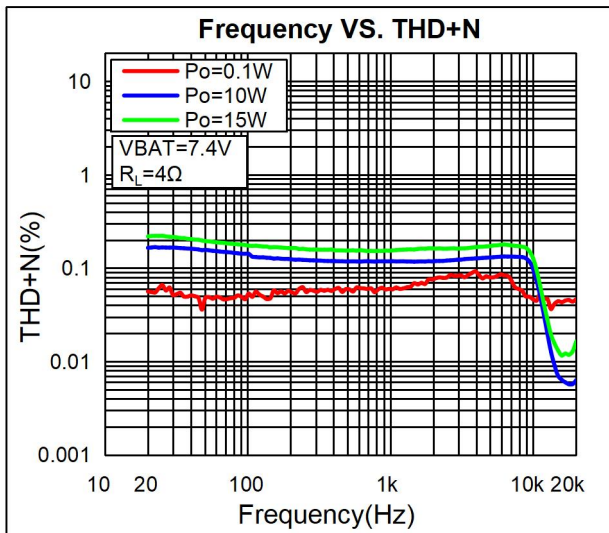
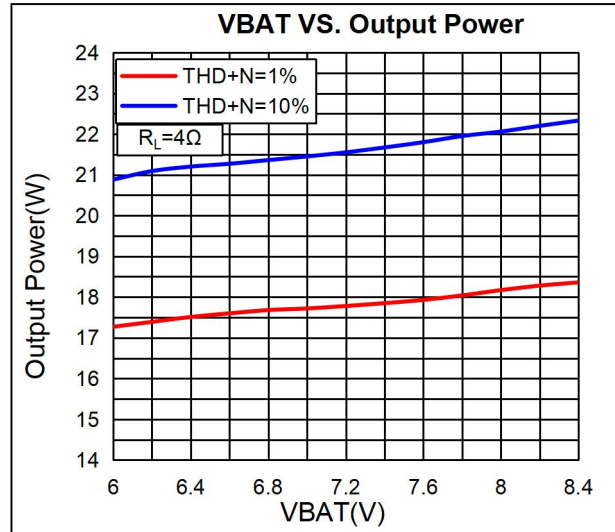
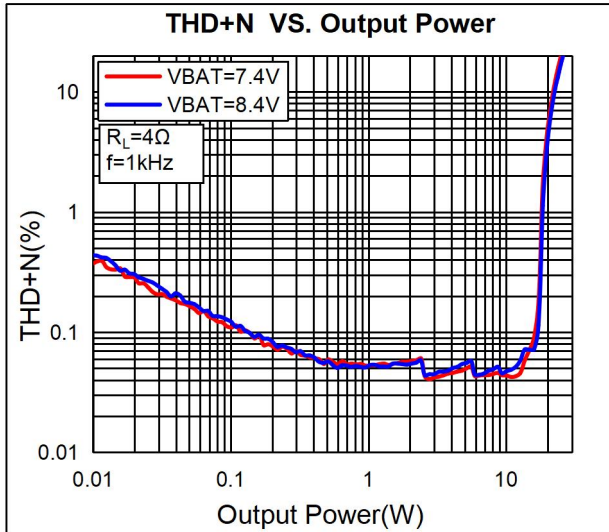
电气特性

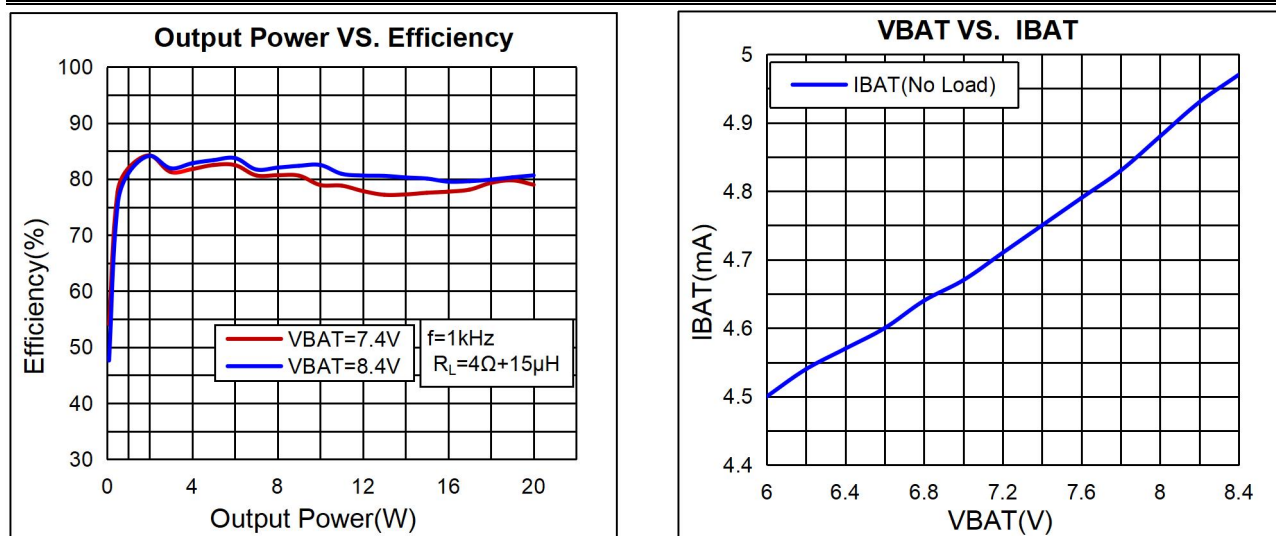
限定条件: (VBAT=7.4V, T_A=25°C, R_{load}=4Ω, f=1kHz, 除非特别说明)

参数	符号	条件	最小值	典型值	最大值	单位
直流参数						
电源电压	VBAT		5.5		9.5	V
AVDD 电压	V _{AVDD}	V _{CTRL} =1		5.3		V
Shutdown 电流	I _{SD}	V _{CTRL} =0		0.1	5	μA
静态电流	I _Q	V _{CTRL} =1, No load		5		mA
输出失调电压	V _{OS}	V _{CTRL} =1		10	40	mV
升压振荡器频率	F _{sw}	V _{CTRL} =1		550		kHz
效率	η	P _O =13W (Boost+Class D)		75		%
交流参数						
谐波失真加噪声	THD+N	P _O =1W			0.051	%
		P _O =8W			0.045	
		P _O =10W			0.045	
输出功率	P _O	R _L =4Ω	THD+N=10%		21.6	W
			THD+N=1%		17.8	
空闲通道输出噪声	V _N	GAIN=20dB, A-wt			60	μV
信噪比	SNR	GAIN=20dB, A-wt			96	dB
电源电压抑制比	PSRR	f=1kHz			-72	dB
振荡器频率	F _{OSC}	Class D			285	kHz
CTRL 控制电平						
Shutdown 电压阈值	V _{SD}			0		V
FM 模式电压阈值	V _{FM}			1.3		
Class D+ALC 电压阈值	V _{Class D+ALC}			2.0		
Class D 电压阈值	V _{Class D}			2.7		
保护						
过热保护阈值	OTP				150	℃
过热保护滞回					20	℃

**典型特性曲线**

注：以下曲线为 $R_{LOAD}=4\Omega$ 时的测试值





应用说明

CTRL 设置

CTRL 管脚是 IC 使能以及模式控制管脚, 低电平时芯片关闭, 高电平时芯片打开。该管脚内部有下拉电阻 (110k Ω), 悬空时处于关闭状态。CTRL 管脚同时也是 D 类模式的 ALC 开启和关闭控制管脚, 可通过外部电压控制开启和关闭。

$2.7V < V_{CTRL} < 5.0V$	D 类防破音关闭 (Class D + ALC OFF)
$2.0V < V_{CTRL} < 2.5V$	D 类防破音打开 (Class D + ALC ON)
$1.3V < V_{CTRL} < 1.8V$	FM 模式 (FM Mode)
$V_{CTRL} < 0.4V$	芯片关断 (Shutdown)

PF8321 通过 CTRL 引脚设置可进入防破音工作模式。放大器自动检测输出削顶失真, 自动调整放大器的增益, 达到防失真 (防破音) 效果。

增益设置

PF8321 输入端采用差分放大结构, 可应用差分或者单端输入接法, 差分与单端放大倍数一样。PF8321 内部集成了反馈电阻, 可通过修改外置输入电阻调节增益, 增益的设置遵循以下公式:

$$\text{FM Mode: } A_v = \frac{280k\Omega}{R_{in} + 14k\Omega} \quad \text{GAIN} = 20\lg(A_v) \text{ dB}$$



Class D:

$$A_v = \frac{395k\Omega}{R_{in} + 14k\Omega}$$

$$GAIN = 20\lg(A_v) \text{ dB}$$

其中 R_{in} 为外置的输入电阻，客户可以根据自身对增益的需要，灵活设置 R_{in} 的值。

输入电阻 C_{in}

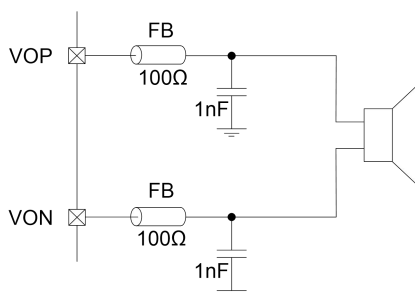
输入电阻 R_{in} 和输入电容 C_{in} 之间构成了一个高通滤波器，其截止频率计算公式如下：

$$f_c = \frac{1}{2\pi(R_{in} + 14k\Omega)C_{in}}$$

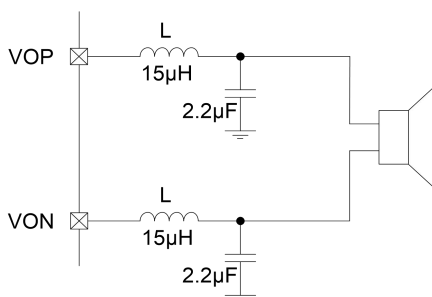
输入电容值的选择非常重要，一般认为它直接影响着电路的低频特性，但并不是电容值越大越好。无线电中的喇叭对于低频信号通常不能很好地响应，可以在应用中选取比较大的 f_c 以滤除 217Hz 噪声引入的干扰。电容之间良好的匹配对提升芯片的整体性能和 Pop&Click 的抑制都有帮助，因此要求选取精度为 10% 或更高精度的电容。

输出滤波器

PF8321 在 EMI 要求不高的应用时，可以在输出端直接连喇叭或在输出端脚磁珠滤波器，如下图示：



如果 PF8321 应用于 EMI 要求比较高的系统中，可以在输出端串接 LC 滤波器的方式，如下图示：





肖特基二极管的选择

PF8321 的 Boost 部分采用非同步整流架构, 需外接肖特基二极管进行续流。肖特基二极管对 IC 的整体性能影响很大, 不合适的选型可能导致整机效率偏低, 甚至在 IC 的 SW 端产生很大的反向过冲电压, 使 IC 烧毁。我们建议 PF8321 使用能过 5A 电流的肖特基二极管, 推荐 SS54。Layout 时要注意肖特基与电感和 PVDD 端的连线尽可能宽尽可能短, 不适合的走线会使 SW 端过冲振铃变大, 影响 EMI, 甚至烧毁 IC。

Boost 电感的选择

根据纹波稳定性和升压转换效率等考虑, 推荐电感使用 2.2μH 且其 DCR 要足够小, 饱和电流在 5A 或以上。

PVDD 端电容选择

PF8321 的 PVDD 是升压输出也是内置功放的电源输入。要求使用两组电容: 一组是 0.1μF 和 10μF 组成去耦电容; 一组 470μF 的电解滤波电容。PVDD 端滤波电容耐压值要求 16V 或以上。0.1μF 电容尽可能靠近 PVDD 脚, 10μF 电容尽可能靠近肖特基二极管负端。470μF 电容建议使用高频低阻系列的电解电容, 可以有效的提高效率, 减少电压纹波。

芯片 PGND

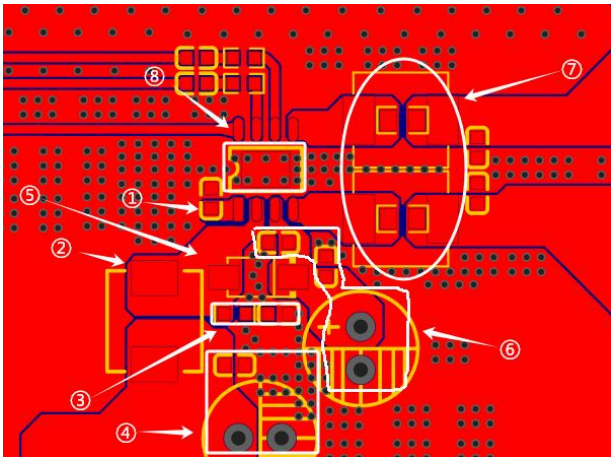
PF8321 的 PGND 和 ANGND 打线在基板上(芯片底部散热盘上), layout 时一定要在要注意芯片底部与 PCB 上 PGND 的连接。为防止生产漏锡, 建议 PCB 上 PF8321 正下方 PGND 过孔孔径不要太大或过于密集防止贴片生产漏锡导致 PF8321 的 PGND 不连锡或连锡不充分影响芯片性能, 甚至烧毁 IC。

Layout 注意事项

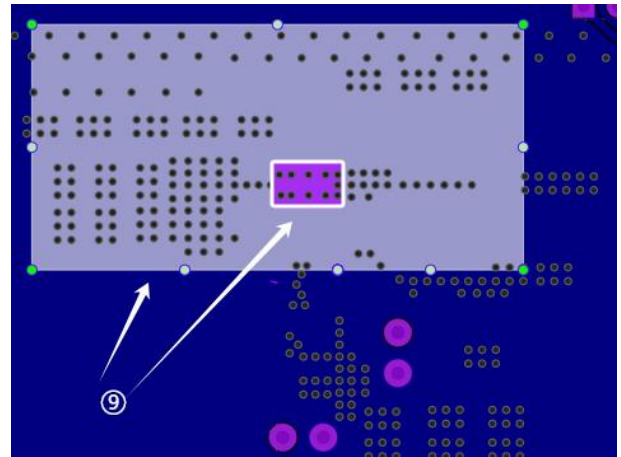
- ① 第 1 脚的电容靠近管脚摆放, 电容与管脚连线尽量粗(建议 0.6mm 或以上), 电容 GND 端与芯片的 GND 端连线要粗且短。如下图中“①”的标示。
- ② 电感靠近芯片第 2 脚摆放, 电感与管脚连线要粗(建议 0.8mm 或以上)。
- ③ 第 2 脚 RC 电路(1Ω+2.2nF)的 GND 端与第 1 脚的电容接地端要隔开, 不要直接连一起。如下图中“③”的标示。
- ④ VBAT 供电的滤波电容紧挨电感, 滤波电容与电感连线要粗且短, 滤波电容的 GND 端与芯片的 GND 端连线要粗且短。
- ⑤ 肖特基二极管靠近第 2 脚摆放(紧挨电感), 肖特基负端与第 3 脚管脚连线要短且粗(建议 0.8mm 或以上)。
- ⑥ 第 3 脚滤波电容靠近管脚摆放, 滤波电容与管脚连线尽量粗, 滤波电容的 GND 端与芯片的 GND 端连线要粗且短。



- ⑦ 音频输出的 LC (或 RC) 滤波电路尽量靠近芯片管脚摆放, 且连线要粗 (建议 0.8mm 或以上)。
- ⑧ PF8321 的底部是 GND 管脚。为防止贴片生产漏锡, 使得管脚不连锡或连锡不充分而导致芯片上电不工作或损坏, 建议 PCB 上芯片正下方过孔不要太大 (建议孔径 0.4mm 或以下) 也不要太密集, 分散打过孔。
- ⑨ 底层, 芯片正下方露铜散热, 露铜部分建议多打过孔。若顶层芯片正下方已打过孔, 则底层芯片正下方建议过孔盖油, 防止顶层芯片正下方贴片漏锡。



顶层

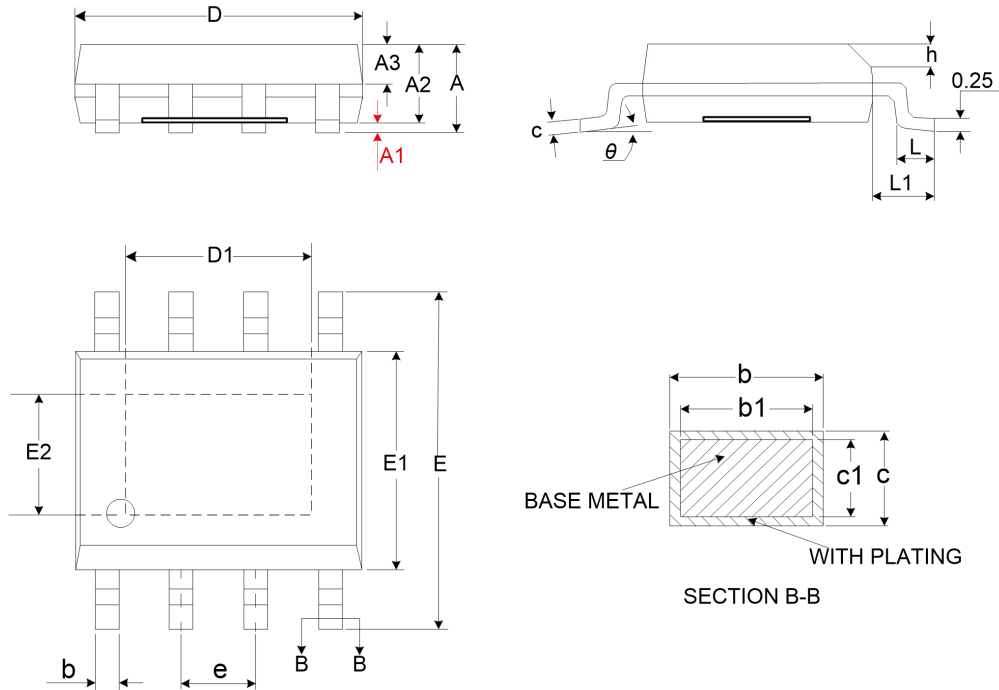


底层



封装尺寸图

ESOP8 封装尺寸图



SYOMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.75
A1	0.05	0.10	0.15
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39	—	0.48
b1	0.38	0.41	0.43
c	0.21	—	0.26
c1	0.19	0.20	0.21
D	4.70	4.90	5.10
D1	3.30 BSC		
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
E2	2.40 BSC		
e	1.27 BSC		
h	0.25	—	0.50
L	0.50	—	0.80
L1	1.05BSC		
θ	0	—	8°