



### Features

- 输出功率:  $P_o=30W@8\Omega$ ;
- 供电电压: 4.75V to 19.5V;
- 无滤波器设计;
- 内部反馈提高 PSRR;
- 高达 90% 的效率;
- 自恢复保护: 短路保护, 过流保护, 温度保护, 输入 DC 保护和欠压保护;
- 优异的 Click-Pop 抑制;
- 内置扩频调制提升 EMC/EMI;
- ESOP10 无铅封装;

### Description

PF8501 是一款中功率 D 类音频功率放大器, 支持差分或者单端模拟输入, 可驱动一个桥接的扬声器, 在 8 欧姆负载下, 输出功率高达 30W。输出采用 PWM 调制方式, 提高了输出效率, 高达 90% 的效率, 使得 PF8501 在播放音乐时无需外部散热器。

PF8501 集成了扩频调制功能 (SSM), 以避免 EMI/EMC 干扰, 无需使用巨大而昂贵的 LPF (低通滤波器)。

PF8501 具有过电流保护、短路保护和过温保护功能, 可充分保护芯片免受损坏。

PF8501 采用 ESOP-10L 封装, 外围元件少, 有效节省了 PCB 面积和 BOM 成本。

### Application

- 蓝牙音箱
- 拉杆音箱
- 智能音箱
- 其他音频设备



## Ordering Information

PF8501 devices are Pb-free and RoHS compliant.

[illegible]

Fig-1: Typical Application Circuit



### Package & Pin Configuration

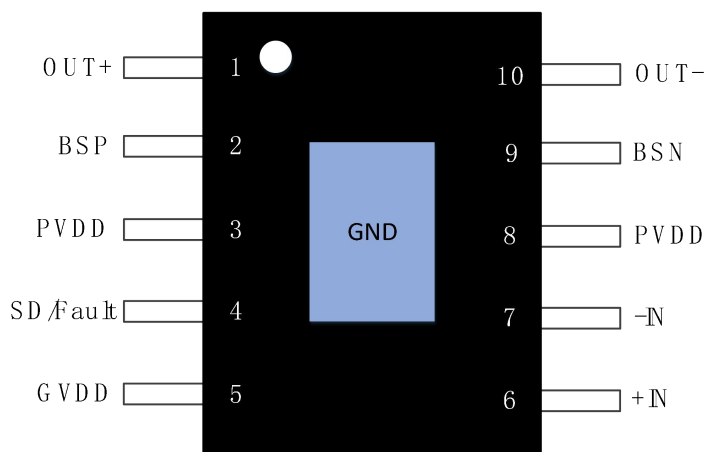


Fig-2: ESOP-10L (Top View)

### Pin Functions

| Pin No.     | Pin Name | I/O | Description                                                                                                                                                                                                                                                                                                                        |
|-------------|----------|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1           | OUT+     | O   | Class-D H-bridge positive output.                                                                                                                                                                                                                                                                                                  |
| 2           | BSP      | P   | Bootstrap I/O, positive high-side FET.                                                                                                                                                                                                                                                                                             |
| 3           | PVDD     | P   | Power supply for the H-bridge.                                                                                                                                                                                                                                                                                                     |
| 4           | SD/Fault | I/O | TTL logic levels with compliance to AVDD. Shutdown logic input for audio amp (LOW, outputs Hi-Z; HIGH, outputs enabled). General Fault reporting including Over-Temp, Over-Current, DC Detect. SD/Fault= High, normal operation, SD/Fault= Low, Fault condition Device will auto-recover once the OT/OC/DC Fault has been removed. |
| 5           | GVDD     | O   | High-side FET gate drive supply. Nominal voltage is 6V.                                                                                                                                                                                                                                                                            |
| 6           | +IN      | I   | Negative audio input. Biased at 3V.                                                                                                                                                                                                                                                                                                |
| 7           | -IN      | I   | Positive audio input. Biased at 3V.                                                                                                                                                                                                                                                                                                |
| 8           | PVDD     | I   | Power supply for the H-bridge.                                                                                                                                                                                                                                                                                                     |
| 9           | BSN      | P   | Bootstrap I/O, negative high-side FET.                                                                                                                                                                                                                                                                                             |
| 10          | OUT-     | O   | Class-D H-bridge negative output.                                                                                                                                                                                                                                                                                                  |
| Exposed pad | GND      | P   | Ground, connected to PCB ground plane.                                                                                                                                                                                                                                                                                             |



### Absolute Maximum Ratings

| Symbol           | Parameter             | Value          | Unit |
|------------------|-----------------------|----------------|------|
| PV <sub>DD</sub> | Power Supply Voltage  | -0.5 to + 22.5 | V    |
| BSP/BSN          | Bootstrap Pin Voltage | -0.5 to + 22.5 | V    |
| GV <sub>DD</sub> | Supply Voltage        | -0.5 to + 6.5  | V    |
| SD/Fault         | SD Pin Voltage        | -0.5 to + 6.5  | V    |
| IN+/IN-          | Input Pins Voltage    | -0.5 to + 5.5  | V    |
| T <sub>J</sub>   | Junction Temperature  | -55 to +150    | °C   |
| T <sub>STG</sub> | Storage Temperature   | -65 to +165    | °C   |

(1) 超出绝对最大额定值的应力可能会对设备造成永久性损坏。这些仅是应力额定值，并不意味着设备在这些或推荐操作条件下指示的任何其他条件下正常运行。长时间暴露在绝对最大额定条件下可能会影响设备的可靠性。

(2) 极限电压表示在所有条件下，在设备端子处测量的直流电压叠加峰值交流波形。

### Recommended Operating Conditions

| Symbol           | Parameter                      | Value           | Unit |
|------------------|--------------------------------|-----------------|------|
| PV <sub>DD</sub> | Power Supply Voltage           | +4.75 to + 19.5 | V    |
| VIH_MIN          | Input High, SD/Fault Pin       | 2               | V    |
| VIL_MAX          | Input Low, SD/Fault Pin        | 0.8             | V    |
| T <sub>A</sub>   | Operating free-air temperature | -40 to +85      | °C   |
| T <sub>J</sub>   | Junction Temperature           | -40 to +125     | °C   |
| R <sub>L</sub>   | Loading Impedance              | 3.0             | Ω    |

### ESD Rating

| Items                | Description         | Value | Unit |
|----------------------|---------------------|-------|------|
| V <sub>ESD_HBM</sub> | Human Body Model    | ±4000 | V    |
| V <sub>ESD_CDM</sub> | Charge Device Model | ±750  | V    |

### Thermal Information

| Items           | Description                    | Value | Unit |
|-----------------|--------------------------------|-------|------|
| θ <sub>JA</sub> | Junction to ambient resistance | 58    | °C/W |
| θ <sub>JC</sub> | Junction to case resistance    | 19    | °C/W |



### Maximum Output Power

$T_A=25^{\circ}\text{C}$ ,  $R_L=L(33\mu\text{H}) + R+L(33\mu\text{H})$ , unless otherwise noted.

| Load Impedance<br>( $\Omega$ ) | Maximum PVDD<br>(V) | THD+N<br>(%) | Output Power<br>(W) |
|--------------------------------|---------------------|--------------|---------------------|
| 4                              | 15                  | 10%          | 28                  |
|                                |                     | 1%           | 22                  |
| 6                              | 19                  | 10%          | 32                  |
|                                |                     | 1%           | 26                  |
| 8                              | 19.5                | 10%          | 30                  |
|                                |                     | 1%           | 24                  |

(\*) Chip operation at maximum output power may cause over temperature protection;



## DC Electrical Characteristics

( $T_A=25^{\circ}\text{C}$ ,  $PV_{DD}=12\text{V}$ ,  $\text{Gain}=26\text{dB}$ ,  $R_L=L(33\mu\text{H}) + R+L(33\mu\text{H})$ , unless otherwise noted.)

| Symbol       | Parameter                                | Test Conditions                         |                      | MIN | TYP | MAX | UNIT             |
|--------------|------------------------------------------|-----------------------------------------|----------------------|-----|-----|-----|------------------|
| $I_Q$        | Quiescent Current                        | $PV_{DD}=12\text{V}$                    | No Load              |     | 9.5 | 20  | mA               |
| $I_{SD}$     | Shutdown Current                         |                                         | $SD=0\text{V}$       |     | 6   | 20  | $\mu\text{A}$    |
| $R_{DS(on)}$ | Static Drain-to-Source On-state Resistor | High Side MOS, $I=500\text{mA}$         | $PV_{DD}=12\text{V}$ |     | 180 |     | $\text{m}\Omega$ |
|              |                                          | Low Side MOS, $I=500\text{mA}$          | $PV_{DD}=12\text{V}$ |     | 180 |     | $\text{m}\Omega$ |
| $V_{OS}$     | Output Offset Voltage                    | Input ac-grounded, $PV_{DD}=12\text{V}$ |                      |     | 1.5 | 30  | mV               |
| $t_{ON}$     | Turn On Time                             | SD from 0V to 2V                        |                      |     | 24  |     | mS               |
| $t_{OFF}$    | Turn Off Time                            | SD from 2V to 0V                        |                      |     | 2   |     | $\mu\text{S}$    |
| $f_{OSC}$    | Switching Frequency                      |                                         |                      |     | 300 |     | KHz              |

## AC Electrical Characteristics

( $T_A=25^{\circ}\text{C}$ ,  $PV_{DD}=12\text{V}$ ,  $\text{Gain}=26\text{dB}$ ,  $R_L=L(33\mu\text{H}) + R+L(33\mu\text{H})$ , unless otherwise noted.)

| Symbol | Parameter                            | Test Conditions                                        |                   | Min | TYP   | Max | UNIT               |
|--------|--------------------------------------|--------------------------------------------------------|-------------------|-----|-------|-----|--------------------|
| $P_o$  | Output Power                         | $f=1\text{kHz}$ , $R=8\Omega$ , $PV_{DD}=15\text{V}$   | THD+N=10%         |     | 15    |     | W                  |
|        |                                      |                                                        | THD+N=1%          |     | 12    |     |                    |
|        |                                      | $f=1\text{kHz}$ , $R=4\Omega$ , $PV_{DD}=15\text{V}$   | THD+N=10%         |     | 28    |     | W                  |
|        |                                      |                                                        | THD+N=1%          |     | 22    |     |                    |
|        |                                      | $f=1\text{kHz}$ , $R=8\Omega$ , $PV_{DD}=19\text{V}$   | THD+N=10%         |     | 30    |     | W                  |
|        |                                      |                                                        | THD+N=1%          |     | 24    |     |                    |
|        |                                      | $f=1\text{kHz}$ , $R=6\Omega$ , $PV_{DD}=19\text{V}$   | THD+N=10%         |     | 32    |     | W                  |
|        |                                      |                                                        | THD+N=1%          |     | 26    |     |                    |
| THD+N  | Total Harmonic Distortion Plus Noise | $PV_{DD}=12\text{V}$ , $R_L=8\Omega$ , $f=1\text{kHz}$ | $P_o=0.5\text{W}$ |     | 0.010 |     | %                  |
|        |                                      |                                                        | $P_o=5.0\text{W}$ |     | 0.016 |     |                    |
| PSRR   | Power Supply Ripple Rejection        | Inputs ac-grounded with $C=1\mu\text{F}$               | $f=1\text{kHz}$   |     | -65   |     | dB                 |
| SNR    | Signal to Noise Ratio                | THD=1%, $R=8\Omega$                                    | $f=1\text{kHz}$   |     | 100   |     | dB                 |
| CS     | Cross Talk                           | $V_O=1\text{V}_{rms}$                                  | $f=1\text{kHz}$   |     | -96   |     | dB                 |
| $V_n$  | Output Noise                         | Inputs ac-grounded                                     | A-weighting       |     | 100   |     | $\mu\text{V}$      |
| Gv     | Closed-loop Gain                     |                                                        |                   |     | 36    |     | dB                 |
| UVLO   | Under Voltage Lock-out               | $PV_{DD}$ Rising                                       |                   |     | 4.5   |     | V                  |
|        |                                      | $PV_{DD}$ Falling                                      |                   |     | 4.0   |     |                    |
| OTP    | Over Temperature Protection          | OTP Threshold                                          |                   |     | 165   |     | $^{\circ}\text{C}$ |
| HYS    |                                      | Hysteresis                                             |                   |     | 20    |     | $^{\circ}\text{C}$ |



### Performance Characteristics

( $T_A=25^{\circ}\text{C}$ ,  $P_{VDD}=12\text{V}$ ,  $\text{Gain}=26\text{dB}$ ,  $R_L=L(33\mu\text{H}) + R+L(33\mu\text{H})$ , unless otherwise noted.)

Fig 3-THD+N Vs. Output Power ( $R_L=8\Omega$ )

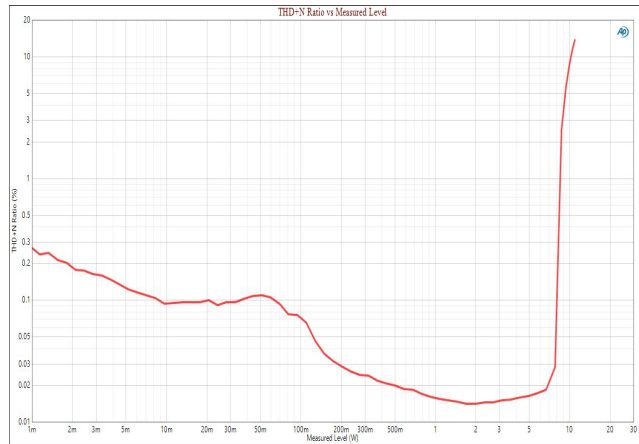


Fig 4-THD+N Vs. Frequency ( $R_L=8\Omega/5\text{W}$ )

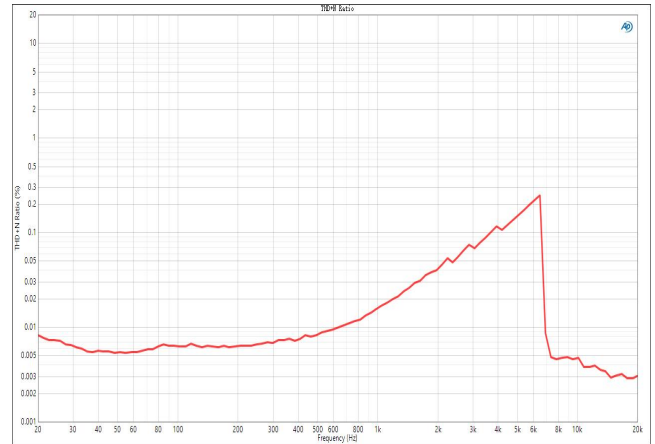


Fig 5-THD+N Vs. Output Power ( $R_L=6\Omega$ )

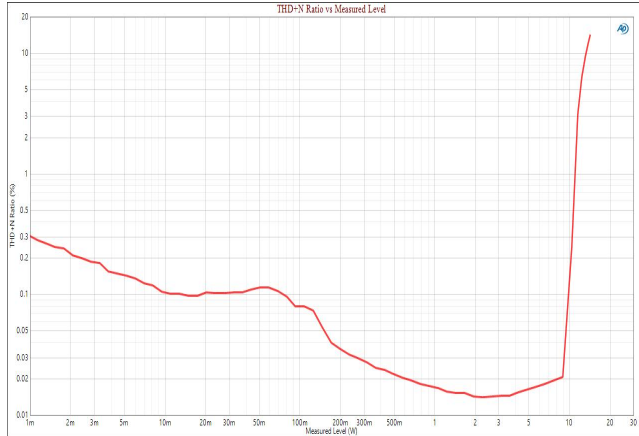


Fig 6-THD+N Vs. Frequency ( $R_L=6\Omega/5\text{W}$ )

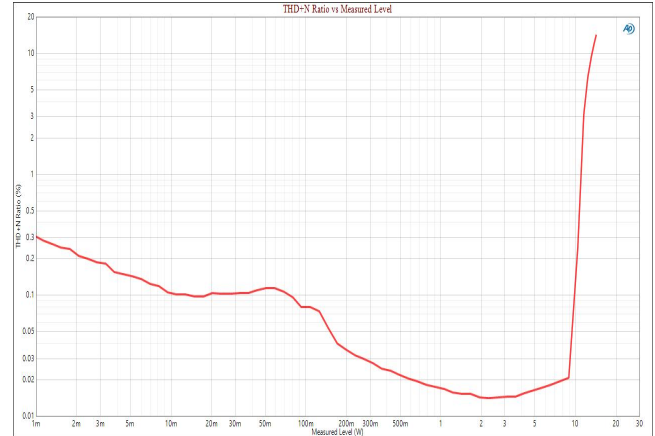


Fig 7-THD+N Vs. Output Power ( $R_L=4\Omega$ )

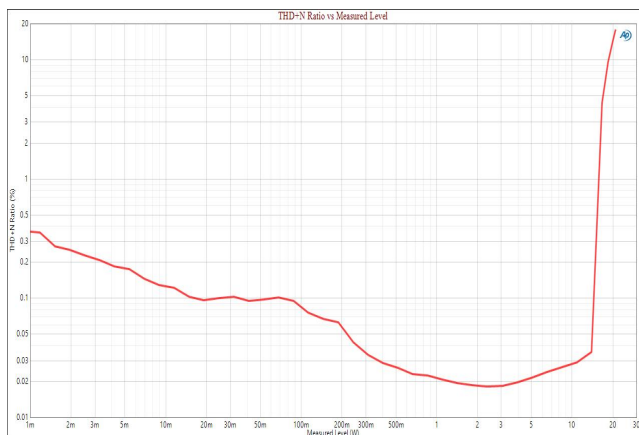
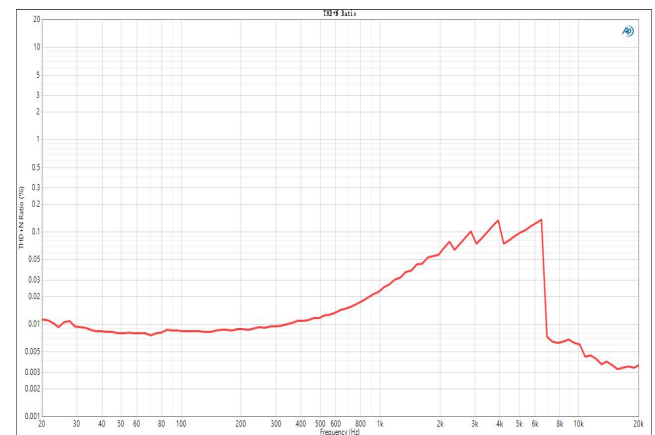


Fig 8-THD+N Vs. Frequency ( $R_L=4\Omega/8\text{W}$ )





### Performance Characteristics

( $T_A=25^{\circ}\text{C}$ ,  $P_{VDD}=12\text{V}$ ,  $\text{Gain}=26\text{dB}$ ,  $R_L=L(33\mu\text{H}) + R+L(33\mu\text{H})$ , unless otherwise noted.)

Fig 9-Frequency Response

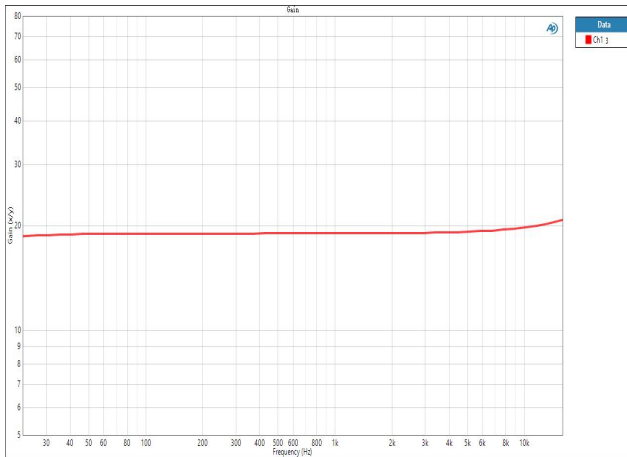


Fig 10-Noise Floor ( $R_L=8\Omega$ )

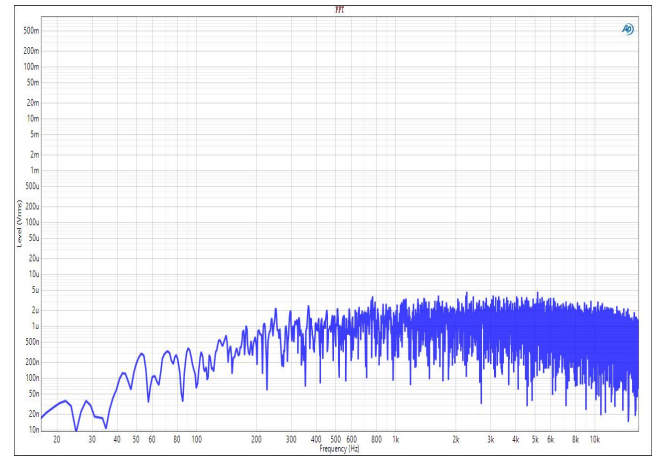


Fig 11-Efficiency

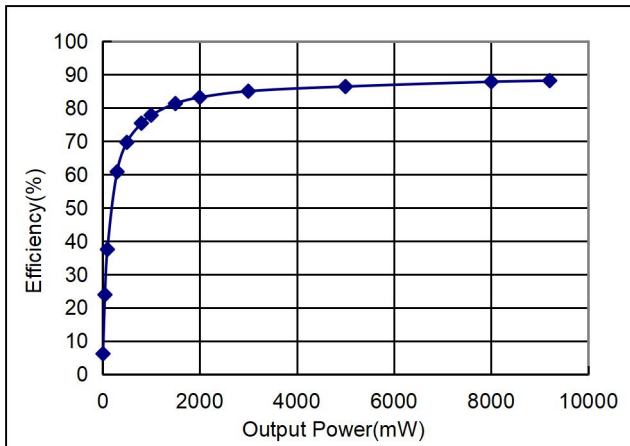
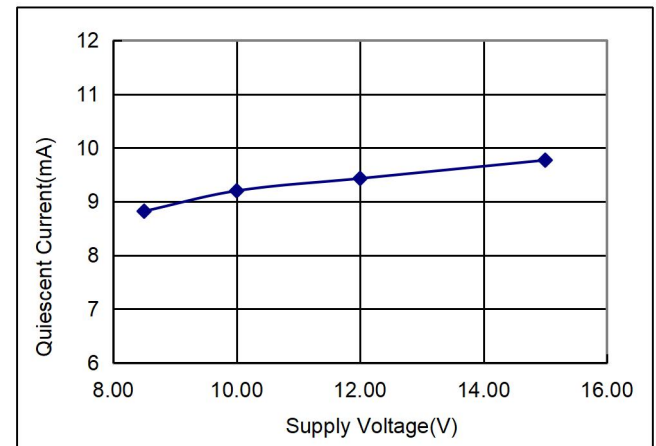


Fig 12-Quiescent Current







### Application Information

#### 输入阻抗 (Ri) & 增益设定

PF8501 内置输入电阻 ( $R_{in}=9k\Omega$ ) 和反馈电阻 ( $R_F=300k\Omega$ )，根据以下方程式在内部设置放大器的增益。

$$Gain = \frac{2 \times 300k}{R_{in} + R_{ext}} \quad (V/V)$$

其中， $R_{in}$  是 PF8501 内置的  $9k\Omega$  电阻， $R_{ext}$  是外围的输入电阻。

外围输入元器件的匹配 ( $C_{in}$  和  $R_{ext}$ ) 在全差分放大器中非常重要。参考电压上的输出平衡取决于电阻器的匹配比率。若发生电阻失配，CMRR、PSRR 和二次谐波失真的消除会减少。因此，建议使用 1% 容差电阻或更好的电阻，以保持性能优化。匹配比精度更重要。匹配度为 1% 的电阻器阵列可以在公差大于 1% 的情况下使用。将输入电阻器放置在非常靠近 PF8501 的位置，以限制高阻抗节点上的噪声注入。为了获得最佳性能，增益应设置为尽可能低。较低的增益使 PF8501 能够以最佳状态运行，并在输入端输入大信号，使输入端不易受噪声影响。

#### 输入电容的选择 (Ci)

在典型应用中，需要输入电容器  $C_i$  来允许放大器将输入信号偏置到适当的直流电平，以实现最佳操作。在这种情况下， $C_i$  和最小输入阻抗  $R_i$  形成高通滤波器，其截止频率由以下方程确定：

$$f_c = \frac{1}{(2\pi R_i C_i)}$$

$C_i$  的值直接影响电路的低频性能。例如， $R_i$  为  $9k\Omega$  (内置)，规范要求低音响应低至 20Hz。方程式重新配置如下：

$$C_i = \frac{1}{(2\pi R_i f_c)}$$

由上述公式可得到  $C_i$  为 60nF，当考虑输入阻抗变化时，可能会选择 100nF 的值。该电容器的另一个考虑因素是从输入源通过输入网络 ( $C_i$ ,  $R_i + R_f$ ) 到负载的泄漏路径。这种漏电流在放大器的输入端产生直流偏移电压，从而降低了有用的净空，特别是在高增益应用中。因此，低泄漏钽或陶瓷电容器是最佳选择。当使用极化电容器时，在大多数应用中，电容器的正侧应面向放大器输入，因为直流电平保持在 3.0V，这可能高于源直流电平。请注意，在应用中确认电容器极性非常重要。

#### 电源耦合电容(CS)

PF8501 是一款高性能 CMOS 音频放大器，需要足够的电源去耦，以确保输出总谐波失真 (THD) 尽可能低。电源去耦还可以防止放大器和扬声器之间长引线长度引起的振荡。

针对电源引线上不同类型噪声，使用两种不同类型的电容器来实现最佳解耦。对于线路上的高频瞬态、尖峰或数字杂散噪声，将一个良好的低等效串联电阻 (ESR) 陶瓷电容器 (通常为  $1\mu F$ ) 放置在尽可能靠近设备 VDD 引脚的位置，以实现最佳性能。为了过滤低频噪声信号，建议在音频功率放大器附近放置一个  $10\mu F$  或更大的大型陶瓷电容器。



### Application Information

#### EMI/EMC抑制

大多数应用需要铁氧体磁珠滤波器来消除EMI，如图14所示。铁氧体滤波器可降低1MHz及以上的电磁干扰。在选择铁氧体磁珠时，应选择高频阻抗高、低频阻抗低的磁珠。需要注意的是，非线性的铁氧体磁珠可能引入失真，对THD敏感的应用场景，推荐使用电感和电容构成的低通滤波器。

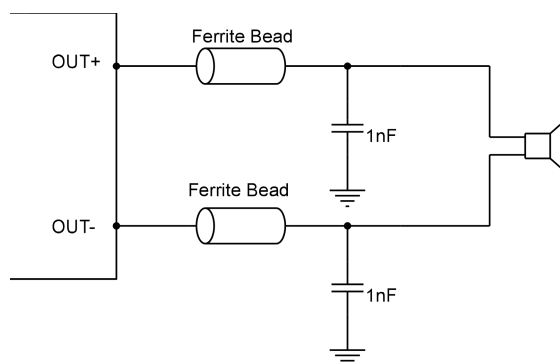


Fig-13: Ferrite Bead Filter to Reduce EMI

#### 欠压保护(UVLO)

PF8501集成了用于检测低电源电压的电路。当电源电压降至4.5V或以下时，PF8501进入关机状态，只有当VDD高于4.75V时，设备才会退出关机状态并恢复正常功能。

#### 过流保护 (OCP)

PF8501具有过流保护功能，可防止输出级短路引起的过电流情况。SD/Fault引脚上报告的短路保护故障为低状态。当短路保护发生时，放大器输出切换到Hi-Z状态，并自动从短路保护中恢复。

#### 输入直流保护

PF8501具有保护扬声器免受直流电流影响的电路。直流电流可能是由于输入端的电容器有缺陷或输入端的印刷电路板短路造成的。直流检测故障将在SD/故障引脚上报告为低状态。当任一通道的输出差分占空比在相同极性下超过14%（例如+57%、-43%）超过850毫秒时，会发出直流检测故障。此功能可保护扬声器免受大直流电流或小于2Hz的交流电流的影响。为避免直流检测电路引起的干扰性故障，在通电时将SD/故障引脚保持在低电平，直到输入端的信号稳定。此外，注意匹配正负输入端的阻抗，以避免干扰直流检测故障。当直流保护发生时，放大器输出切换到Hi-Z状态，并自动从直流保护中恢复。

#### 过温保护 (OTP)

PF8501上的热保护可防止内部芯片温度超过160°C时损坏设备。PF8501过温保护的触发点公差为±15°C。一旦芯片温度超过热触发点，设备将进入关机状态，输出将被禁用。SD/Fault引脚上报告了热保护故障，希望从热保护锁中自动恢复，以便自动将SD/Fault引脚驱动到低电平，从而清除热保护锁。



### Application Information

#### 扩频调制

PF8501 内置了振荡器频率的扩频控制，以提高 EMI 性能。扩频电路始终处于开启状态，不可关闭。

#### POP and Click 抑制

PF8501 包含 Pop&Click 抑制电路，可最大限度地减少开启和关闭瞬态或“点击和弹出”的 Pop 声，其中开启是指电源开启或设备从关闭模式恢复。当设备打开时，放大器内部会静音。内部电流源使内部参考电压上升。该设备将保持静音模式，直到参考电压达到电源电压的一半，即  $1/2 \text{ GVDD}$ 。一旦参考电压稳定，设备将开始全面运行。为了获得最佳的断电弹出性能，在移除电源电压之前，应将放大器设置为关机模式。

#### PCB Layout 建议

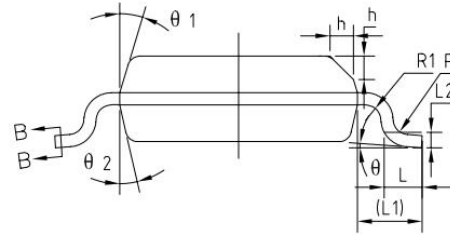
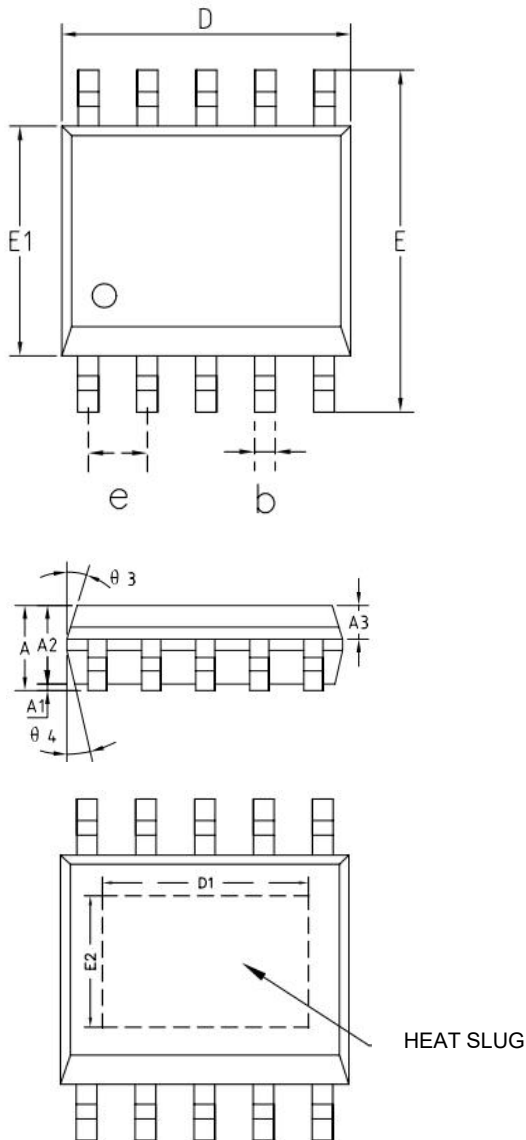
PF8501 可以与小型、廉价的铁氧体磁珠输出滤波器一起使用，适用于大多数应用。然而，由于 D 类开关边缘很快，因此在规划印刷电路板的布局时需要小心。以下建议将有助于满足 EMC 要求。

- 去耦电容器--高频去耦电容器应尽可能靠近 PVDD 引脚放置。大型（220 $\mu\text{F}$  或更大）大容量电源去耦电容器应放置在 PVDDL 和 PVDDR 电源上的 PF8501 附近。本地高频旁路电容器应尽可能靠近 PVDD 引脚放置。这些电容可以直接连接到 Thermal Pad，以实现良好的接地连接。考虑在 220pF 和 1000pF 之间添加一个小型、高质量的低 ESR 陶瓷电容器，并在芯片两端的 PVDD 连接上添加一个 0.1 $\mu\text{F}$  和 1 $\mu\text{F}$  电容。
- 使电流回路从每个输出端通过铁氧体磁珠尽可能小而紧密地回到 GND。这个电流环的大小决定了它作为天线的有效性。
- 接地——GVDD 去耦电容器应连接到模拟地。PVDD 去耦电容器应连接到电源地。模拟接地和电源接地应连接在 Thermal Pad 上，Thermal Pad 应作为 PF8501 的中心接地或星形接地。
- Thermal Pad——Thermal Pad 必须焊接到 PCB 上，以获得适当的热性能和最佳的可靠性。通孔应连接到 PCB 内层或底层的实心铜平面。通孔必须是实心通孔，而不是热释放或网状通孔。



### Package Information

#### Package: ESOP-10L:



| SYMBOL | MILLIMETER |      |      |
|--------|------------|------|------|
|        | MIN.       | NOM. | MAX. |
| A      | 1.35       | 1.55 | 1.65 |
| A1     | 0.05       | 0.10 | 0.15 |
| A2     | 1.35       | 1.40 | 1.50 |
| A3     | 0.50       | 0.60 | 0.70 |
| B      | 0.31       | 0.35 | 0.39 |
| D      | 4.80       | 4.90 | 5.00 |
| D1     | 3.20       | 3.30 | 3.40 |
| e      | 1.0BSC     |      |      |
| E      | 5.80       | 6.00 | 6.20 |
| E1     | 3.80       | 3.90 | 4.00 |
| E2     | 2.00       | 2.10 | 2.20 |
| L      | 0.45       | 0.60 | 0.80 |
| L1     | 1.04REF    |      |      |
| L2     | 0.25BSC    |      |      |
| R      | 0.07       | -    | -    |
| R1     | 0.07       | -    | -    |
| h      | 0.30       | 0.40 | 0.50 |
| θ      | 0°         | -    | 8°   |
| θ1     | 6°         | 8°   | 10°  |
| θ2     | 5°         | 7°   | 9°   |
| θ3     | 6°         | 8°   | 10°  |
| θ4     | 5°         | 7°   | 9°   |

#### Note:

1. Follow from JEDEC MS-012 BC.
2. Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusion or gate burrs shall not exceed 6 mil per side.
3. Dimension "E1" does not include inter-lead flash or protrusions. Inter-lead flash and protrusions shall not exceed 10 mil per side.